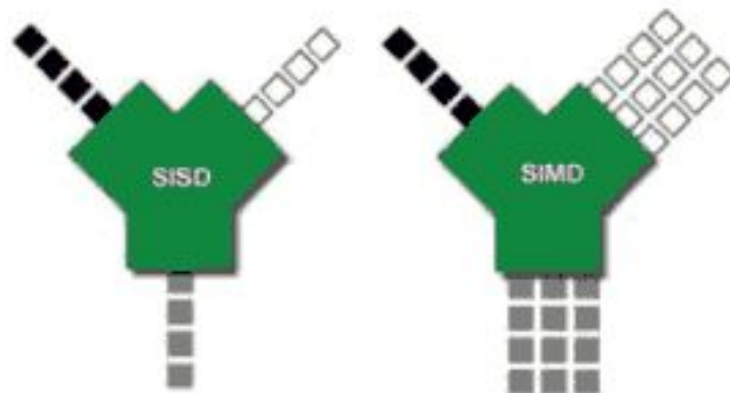


# Procesory II

# Rozšíření instrukční sady procesoru

- Od Pentium MMX - přidány nové instrukce
- využívají techniku SIMD
  - Single Instruction Multiple Data
  - dovoluje zpracovat více operandů (dat, čísel) během jedné instrukce



■ Instructions  
□ Data  
■ Results

## SISD instrukce (Single Instruction Single Data):

1. mikroinstrukce:  $5 * 2 = 10$
2. mikroinstrukce:  $5 * 3 = 15$
3. mikroinstrukce:  $5 * 1 = 5$
4. mikroinstrukce:  $5 * 8 = 40$

## SIMD instrukce (Single Instruction Multiple Data):

1. mikroinstrukce:  $5 * (2; 3; 1; 8) = (10; 15; 5; 40)$

# Rozšíření instrukční sady procesoru

- Klasický způsob výpočtu vyžaduje čtyřikrát více mikroinstrukcí - SISD
- dekódování tedy zabere delší dobu
  - bude trvat více hodinových cyklů
- Nevýhoda:
  - SIMD instrukcemi je možné provádět výpočty pouze v situaci, kdy se operace přiřazené ke všem datům shodují
  - v ukázce se všechny operandy násobí číslem „5“. Kdyby ale jedno číslo bylo nutné násobit číslem „4“, nebude možné SIMD instrukci použít.

# Rozšíření instrukční sady procesoru

- SIMD využívají především multimediální aplikace pro práci s:
  - 2D/3D grafikou
  - zvukem, rozpoznávání řeči
  - videem
  - kompresí dat

# Technologie MMX (MultiMedia eXtensions)

- Základní instrukční soubor u Pentia MMX a Pentia II
- obohacena o 57 nových multimedialních SIMD instrukcí
  - pracují pouze s celými čísly.
- Zároveň byl rozšířen procesor o 8 nových 64 bitových registrů.

# Technologie SSE (Streaming SIMD Extensions)

- Instrukční sada Pentia III obsahovala navíc 70 nových SIMD instrukcí pro:
  - zpracování obrazu
  - práci s 3D grafikou
  - zpracování audia a videa
    - (umožňuje softwarové dekódování formátu MPEG-2 při plné rychlosti)
  - rozpoznávání řeči.
- Podpora pro zpracování čísel v pohyblivé desetinné čárce.
- Procesor byl rozšířen o 8 nových 128 bitových registrů (složených ze dvou 64 bitových registrů).

# Architektura NetBurst

- Pentium 4, Pentium D, Xeon (procesory určené pro servery)
- spoléhá na vysoké taktovací frekvence procesoru
- nevýhoda: velký příkon procesoru a tedy velké ztrátové teplo (viz parametr TDP)
  - Thermal Design Power
- hyperskalární architektura

# HyperThreading technologie

- Thread = vlákno, úloha, aplikace
- myšlenkou je, že jeden “fyzický” procesor bude schopen pracovat jako dva „logické“ procesory
- zdvojením jednotek, které uchovávají aktuální stav výpočetních procesů - registrů.
- Všechny ostatní prostředky procesoru jsou sdílené
  - jako jsou výpočetní jednotky ALU / FPU, prediktory a paměti CACHE,



# Další součásti NetBurst

- XD (eXecute Disable) bit technologie
  - snaží se zabránit útokům červů nebo virů, kteří využívají přetečení paměťového zásobníku.
- Intel 64
  - rozšíření instrukční sady o instrukce pro práci s 64 bitovými čísly
  - RAM max 16 EiB
- SpeedStep - technologie
  - dokáže upravit taktovací frekvenci jádra procesoru dle potřeby aplikace. Dokáže tedy šetřit elektrickou energii (snižovat spotřebu) procesoru a zároveň snižovat jeho zahřívání.

# Další součásti NetBurst

- Tepelná ochrana (Tepelný monitor)
  - za použití přesného, továrně nastaveného teplotního čidla přímo na čipu je velmi rychle reagující obvod tepelné ochrany (TCC - Thermal Control Circuit)
- Rapid Execution Engine
  - procesor obsahuje celkem tři ALU, z toho dvě ALU pro jednoduché operace (např. sčítání, násobení)
  - pracují na dvojnásobné frekvenci, než samotné jádro procesoru.
    - V takovém případě lze provést až 4 instrukce během jednoho strojového cyklu.

# Další součásti NetBurst

- Rozšíření instrukční sady procesoru
  - Technologie SSE 2
    - obsahuje 144 nových SIMD instrukcí pro práci s čísly v pohyblivé desetinné čárce s dvojitou přesností, 128 bitovými celými čísly.
  - Technologie SSE 3
    - obsahuje 13 nových SIMD instrukcí určených zejména pro synchronizaci vícevláknových úloh, zpracování videa a obrazu, kompresi dat, počítačové hry.

# Architektura Core

- Core Duo, Core 2 Duo, Core 2 Quad, Core 2 Extreme
- Jeden procesor obsahuje v pouzdře více výpočetních jader (jádro=core)
- instrukce lze zpracovávat paralelně
  - závislost na podpoře operačního systému
  - procesor může řešit více úloh současně
  - nebo jednu úlohu rozložit na více výpočetních jader
- podpora 64 bitových operačních systémů
  - a také aplikací (obsahuje plně 64 bitové výpočetní jednotky ALU)

# Architektura Core

- Wide Dynamic Execution
  - zpracovává během jednoho hodinového taktu více instrukcí
  - k dispozici čtyři instrukční dekodéry:
    - Tři jsou určeny pro jednoduché instrukce (např. sčítání, násobení, odčítání)
    - jeden dekodér je určen pro složitější instrukce
  - Macro-Fusion - tato technika se snaží o dekodování dvou instrukcí na jednu mikroinstrukci
  - MicroOps-Fusion - umožňuje sloučit dvě mikroinstrukce, které jsou těsně spjaty do jedné
    - např. určení adresy paměťového místa + uložení dat na toto místo

# Architektura Core

- **Intelligent Power Capability**
  - Inteligentní správa napájení
  - odpojuje od napájení nevyužité části procesoru + řídí otáčky ventilátorů
  - Nízká spotřeba elektrické energie je zajištěna také nižším taktovacím kmitočtem
- **Smart Memory Access**
  - snaží se optimalizovat pořadí instrukcí, které jdou za sebou
  - zdokonalená techniku pro předvídání (predikci) dat

# Architektura Core

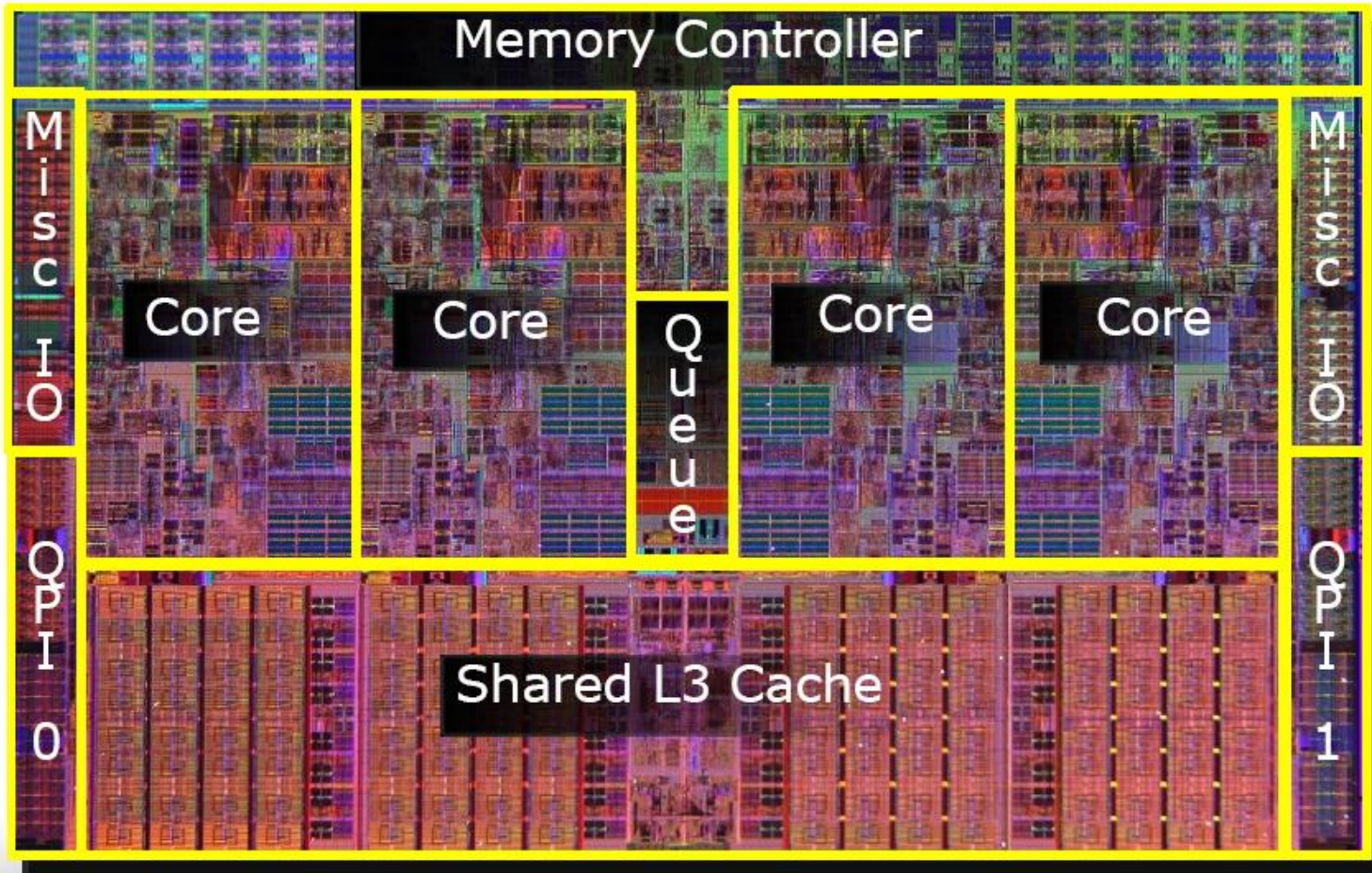
- Advanced Smart Cache
  - Kapacitu je možné dynamicky přidělovat (alokovat) pro každé jádro
- Advanced Digital Media Boost
  - provádění SIMD instrukcí > 128 bitový registr
  - zpracování během 1 hodinového taktu (postačuje 1 mikroinstrukce)

# Architektura Nehalem

- Core i7, Core i5, Core i3
- vícejádrové procesory s částečnou nebo plnou integrací obvodů severního mostu do procesoru
- je vhodná pro víceprocesorové stanice



# The First Nehalem Processor



QPI: Intel® QuickPath Interconnect

**A Modular Design for Flexibility**

# Architektura Nehalem

- Integrovaný řadič paměti
  - paměťový řadič je integrován přímo do pouzdra procesoru
  - Výhodou je
    - velmi rychlá výměna dat mezi operační pamětí a výpočetními jednotkami procesoru
    - U víceprocesorových systémů (např. servery) má každý procesor vlastní paměťový prostor.
  - S každým novějším procesorem lze vylepšovat také paměťový řadič.

# Architektura Nehalem

- QPI procesorová sběrnice
  - QuickPath Interconnect
  - vysokorychlostní procesorová sběrnice
  - U víceprocesorových systémů navíc umožňuje propojit přímo jednotlivé procesory mezi sebou
  - Je to náhrada stávající systémové sběrnice FSB
  - obdoba sběrnice HyperTransport u procesorů AMD

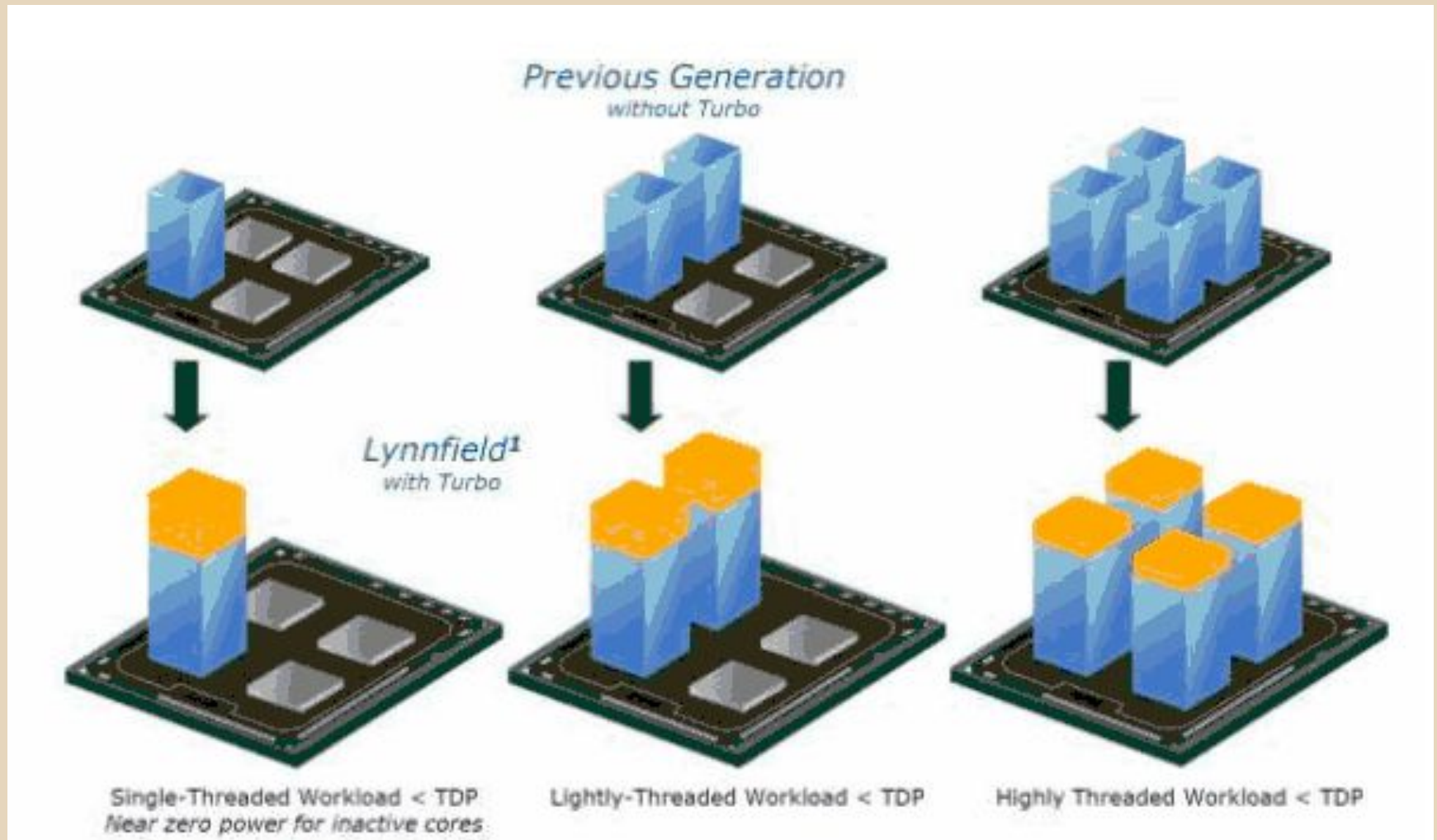
# Architektura Nehalem

- HyperThreading
  - umožní ze čtyř fyzických jader procesoru, učinit až osm virtuálních
  - Architektura Core tuto technologii z důvodu složitosti nepodporovala
  - Nově se označuje jako SMT (Simultaneous Multi-Threading)

# Architektura Nehalem

- Režim Turbo Boost (resp. Turbo Mode)
  - technologie, hlídající TDP procesoru a zároveň vytížení jader procesoru
  - jádra: úsporný nebo spánkový režim, případně jsou kompletně odpojena od napájení
  - chlazení procesoru je naddimenzované, mohou být aktivní jádra automaticky přetaktována změnou násobiče na vyšší kmitočet.
  - každé jádro vlastní násobič, může tedy dojít k situaci, kdy dvě jádra budou vypnutá a zbylá dvě poběží každé na jiné frekvenci.

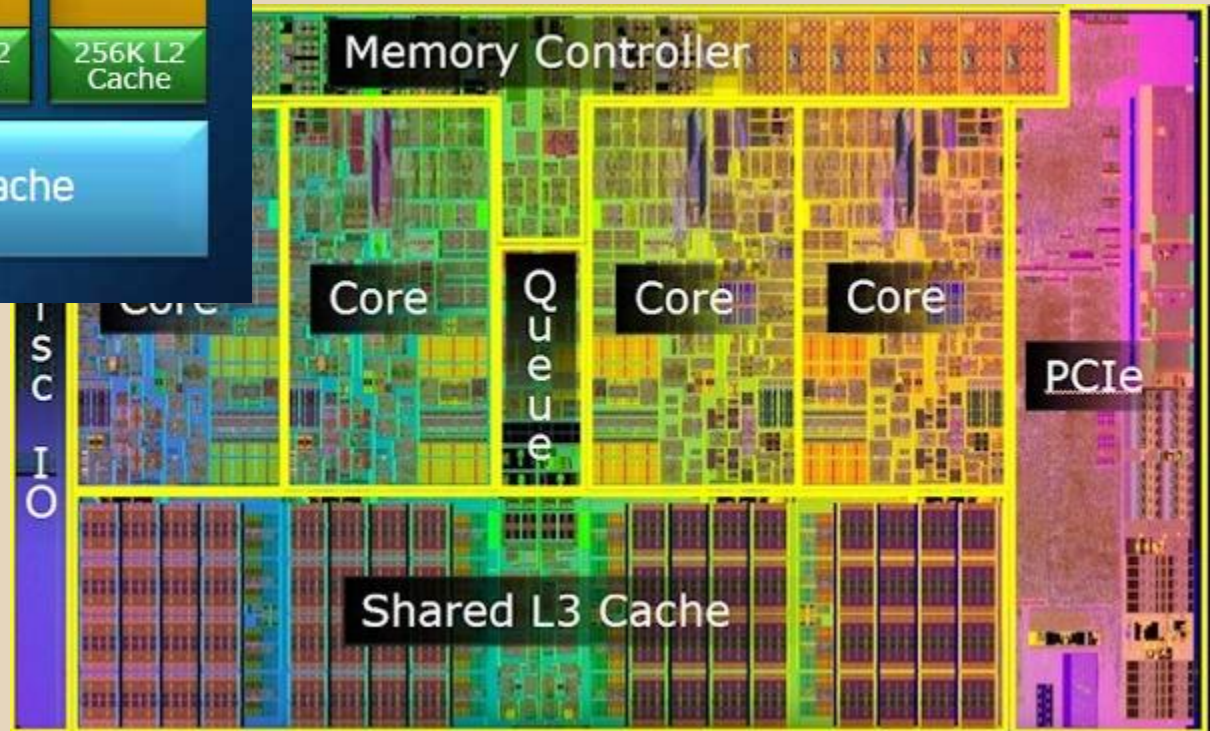
# Architektura Nehalem



# Architektura Nehalem

- Rozšíření instrukční sady SSE 4.2
  - doplnění instrukční sady SSE4 o nové SIMD instrukce
  - usnadnění rozpoznávání řeči, výpočet kontrolních součtů při přenosech dat - CRC32, atd.
- Rozšíření Smart Cache o L3 cache
  - Architektura Nehalem využívá paměť cache o třech úrovních, přičemž zde je L2 (256 kB) oddělená pro každé jádro
  - L3 je sdílená pro všechna jádra
    - 8 MB - Core i7 a i5
    - 4 MB - Core i3

# Architektura Nehalem

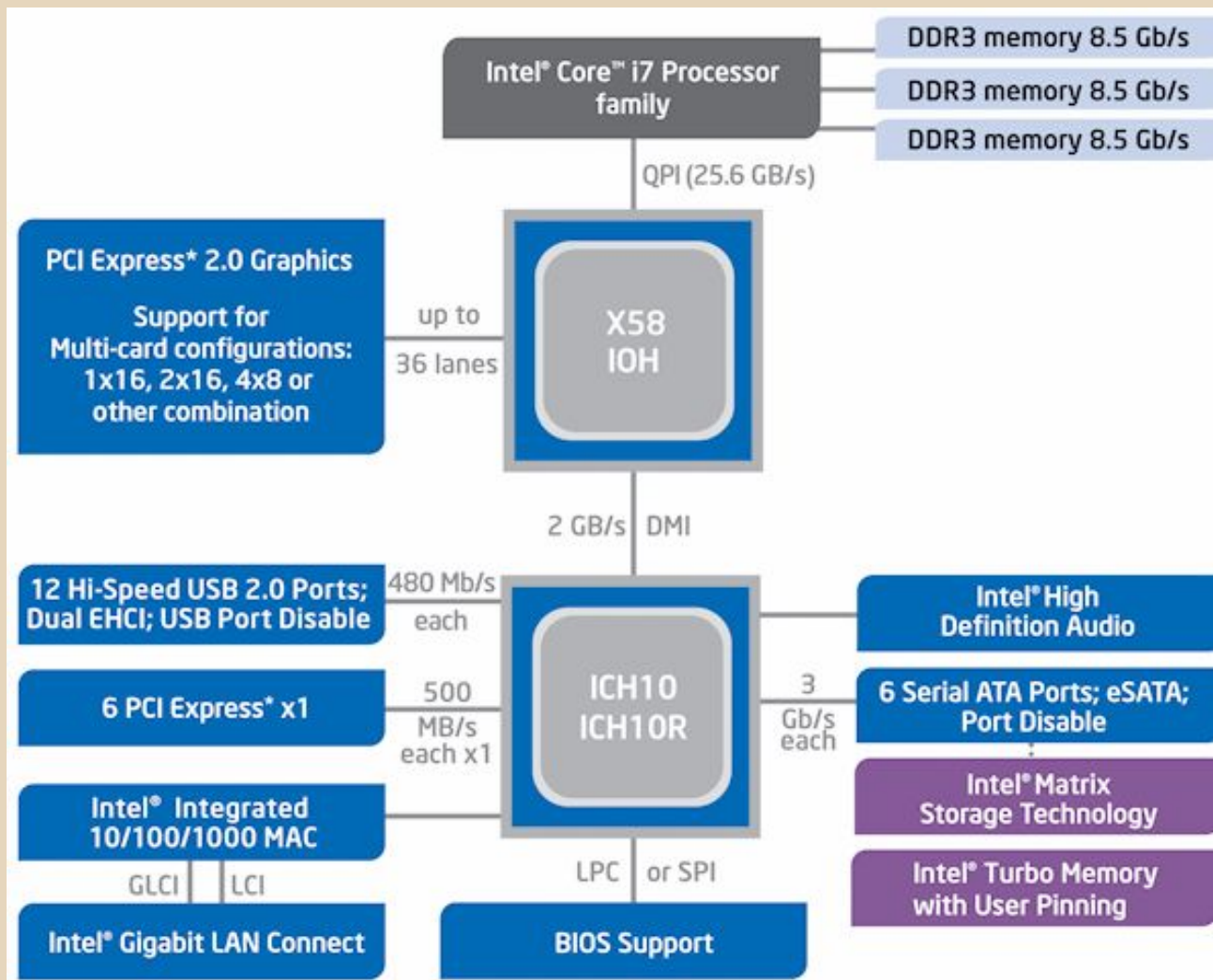




# Vsuvka - Procesor Core i7

- určen především pro výkonné víceprocesorové servery a výkonné stolní počítače.
- Severní most se označuje jako obvod IOH (Input Output Hub)
  - Obsahuje pouze řadič grafické sběrnice PCI Express 2.0 x16 s až 36 linkami.
  - Řadič pamětí DDR3 je umístěn přímo na čipu procesoru a je tříkanálový. Na kanál je možné osadit dva moduly, celkem tedy na procesor šest modulů.

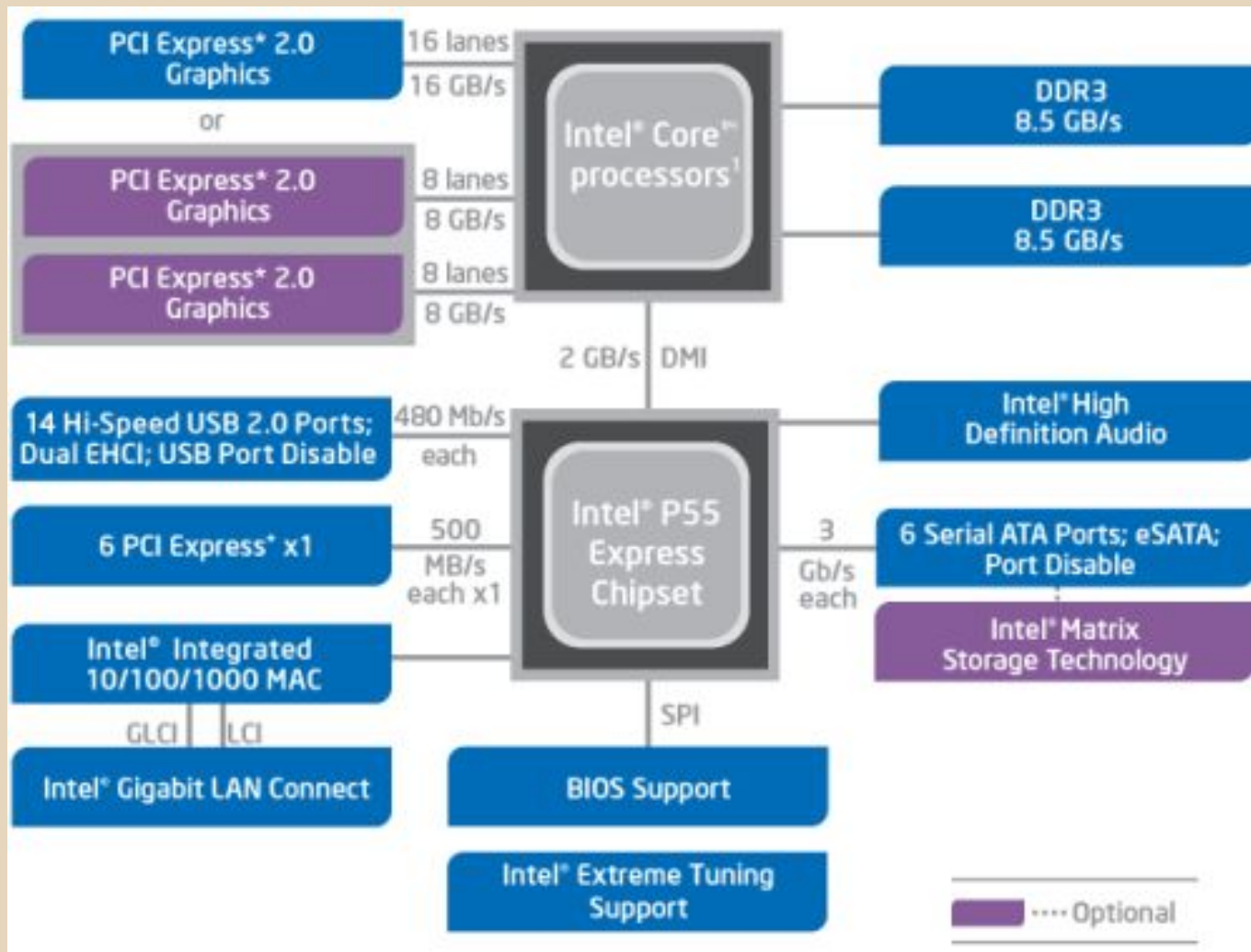
# Vsuvka - Processor Core i7



# Vsuvka - Procesor Core i5

- Určen především pro střední třídu počítačů
  - především levné jednoprocesorové servery a běžné stolní počítače.
- Přímo v procesoru je integrován pouze dvoukanálový řadič pamětí DDR3
- integrovaný řadič PCI Express 2.0 x16 se 16 linkami (2x 8 linek nebo 1x 16 linek)
- uvnitř procesoru navíc integrováno přímo grafické jádro (GPU)

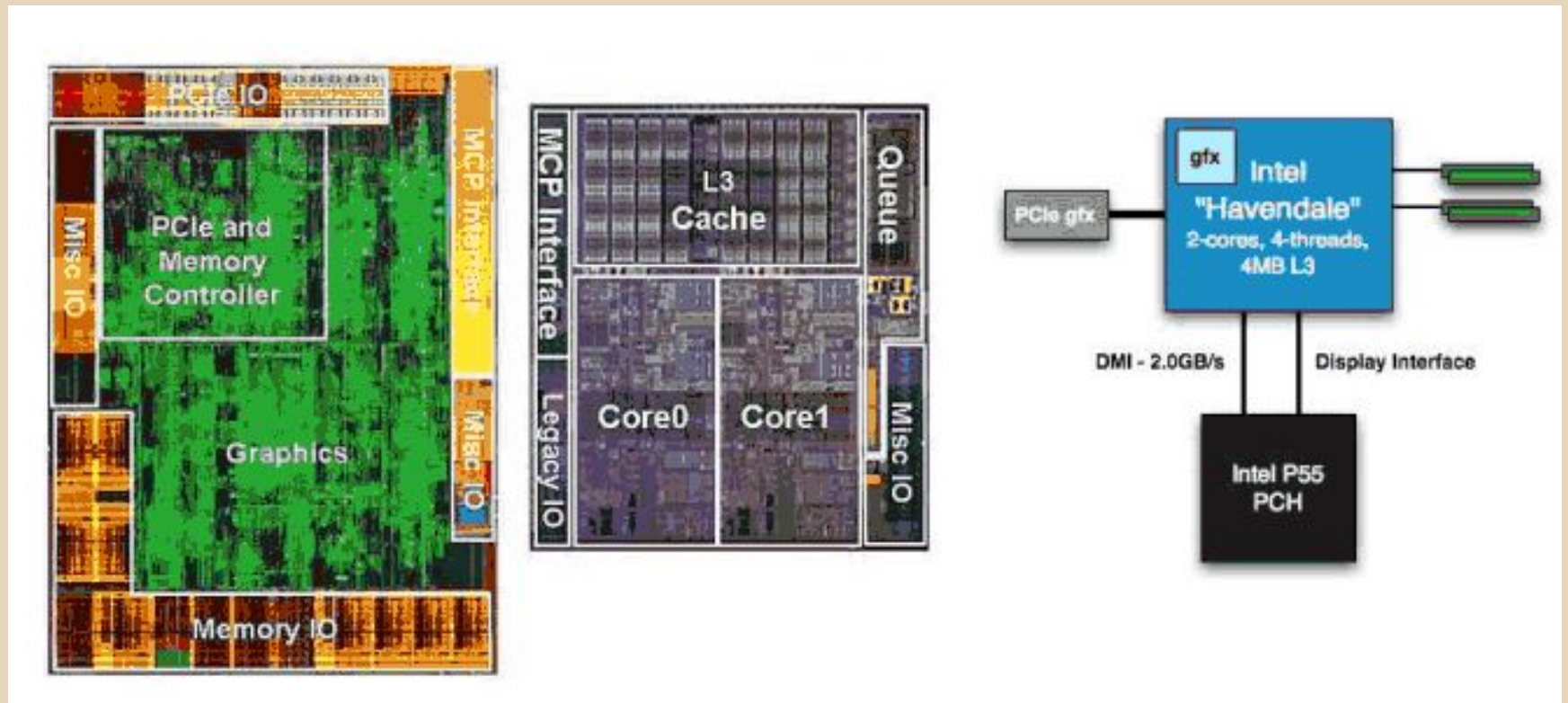
# Vsuvka - Procesor Core i5



# Vsuvka - Procesor Core i3

- Vychází ze specifikací Core i5
- obsahuje však pouze dvě jádra
- poloviční L3 cache (4 MB)
- vypnutý režim „Turbo Boost“
- Uvnitř procesoru se nachází integrované grafické jádro (GPU)
- Svou výbavou je nejslabší z procesorů architektury Nehalem
- je určen pro „levnější“ stolní počítače s jedním procesorem a notebooky.

# Vsuvka - Procesor Core i3



# Architektura Sandy Bridge

- 2. generace procesorů řady Core i7, Core i5, Core i3
- Plná integrace severního mostu do procesoru (APU = CPU + GPU):
  - Procesorová jádra
  - řadič operační paměti
  - rozhraní grafické sběrnice PCI-Express x16 (s podpodou Multi-GPU)
  - GPU (grafický procesor)

# Architektura Sandy Bridge

- Integrovaný severní most - System Agent (SA)
  - řadič operační paměti DDR3
  - řadič sběrnice PCI-Express x16 verze 2.0 (lze rozdělit na dvě linky x8), podpora Multi-GPU
  - PCU (Power Control Unit)
    - obvod řízení napájení, frekvence a tepelného monitoringu procesoru
  - Media engine
    - obvod pro dekódování videa a převod do jiných formátů

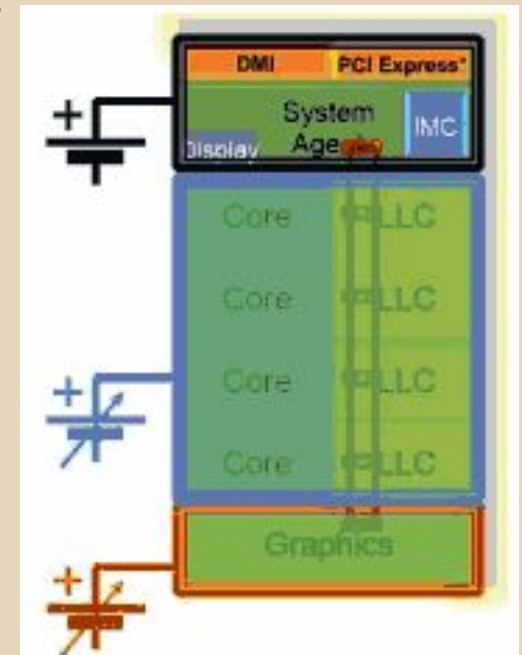


# Architektura Sandy Bridge

- Integrovaný grafický procesor
  - Intel HD Graphics 2000 (resp. 3000)
  - přímo součástí polovodičového čipu procesoru
  - přímý přístup do paměti L3 cache
  - možnost změny frekvence a výkonu dle potřeby programové aplikace
  - vlastní napájení, možnost vypnutí

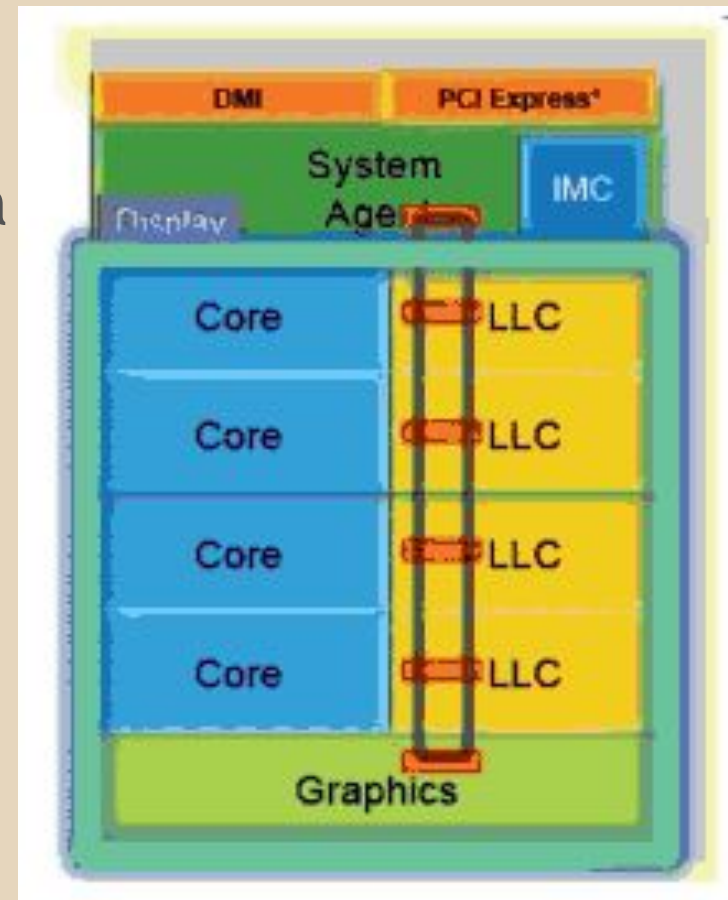
# Architektura Sandy Bridge

- Oddělené napájení procesorových jader, GPU, System Agent
- Každá z těchto částí APU využívá vlastní napájení a taktovací kmitočety:
  - efektivnější řízení spotřeby
  - nižší tepelné vyzařování
  - delší čas práce na akumulátory
  - širší možnosti přetaktování



# Architektura Sandy Bridge

- Vnitřní kruhová sběrnice (ring bus)
  - Umožňuje přímé propojení procesorových jader, GPU a obvodů SA pomocí kruhové sběrnice (ring bus)
  - Obvody sdílejí L3 cache (LLC = Last Level Cache).
  - Sběrnice přináší velkou přenosovou rychlost.



# Architektura Sandy Bridge

- Turbo Boost 2.0
  - Vylepšená verze technologie Turbo Boost z předešlé architektury Nehalem.
  - Obvod PCU (Power Control Unit) dokáže krátkodobě přetaktovat procesor nad rámec maximální hodnoty TDP
  - chladič má určitou setrvačnost při zahřívání, během krátkodobého zvýšení TDP nedojde k přehřátí procesoru

# Architektura Sandy Bridge

- Rozšíření instrukční sady (AVX)
  - AVX = Advanced Vector Extension
  - implementace nových 256 bitových registrů (instrukce pracují s 256 bitovými operandy v 1 hodinovém taktu)
  - využití v náročných matematických aplikacích u výpočtů s čísly v plovoucí řádové čárce, u šifrovacích algoritmů, atd.

# Architektura Ivy Bridge

- třetí generace
- cache:
  - L1 cache 64 KB
  - L2 cache 256 KB
  - L3 cache 2 MB až 8 MB
- 22nm technologie
- více než jedna miliarda tranzistorů (až)
- TDP - 155 W
- až 15 jader (6 jader), 37.5 MB L3 (Ivy Bridge-EX)
  - Xeon E7 v2

# Architektura Ivy Bridge

- Intel HD Graphics
  - DirectX 11
  - OpenGL 3.1 (4.0)
  - OpenCL 1.1
- DDR3

# Reálný režim

- Reálný mód neboli režim reálných adres je základní pracovní režim procesorů z rodiny x86
  - u Intel 80286 se objevil také režim chráněné virtuální paměti
- V režimu reálných adres pracuje například BIOS
- pracovaly operační systémy z rodiny DOSů (MS-DOS, DR-DOS, atd.)
- dokonce i nejstarší verze Microsoft Windows



# Reálný režim

- neomezený přímý přístup do celé paměti i ke všem perifériím. Má tedy mizivou podporu pro bezpečný multitasking
- zavádění režimu chráněné virtuální paměti
  - běh všech operačních systémů i jejich programy

# Režim chráněné virtuální paměti

- anglicky protected virtual address mode
- stručně protected mode
- česky chráněný režim
- operační režim procesorů rodiny x86
- Umožňuje systémovému softwaru pokročilou správu paměti
- zahrnuje virtuální paměť spojenou s bezpečným oddělením paměťových prostorů jednotlivých procesů

# Režim chráněné virtuální paměti

- předpoklad pro bezpečný multitasking
- od řady 80386 dál také umožňuje stránkování paměti
- původně o druhý možný operační režim k staršímu módu reálných adres
- Procesory rodiny x86 se dodnes z důvodu zpětné kompatibility spouštějí nejprve do režimu reálných adres a do chráněného režimu je musí přepnout software

# Privilegovaná instrukce

- jen pro operační systém nebo jiný systémový software
- obvykle nejsou přímo k dispozici uživatelům
- používá se především pro přidělování systémových prostředků a řízení
  - včetně způsobů, jak pracovat, změnit systém, detekovat uživatelská přístupová práva, atd.

# Privilegovaná instrukce

- Společné privilegované instrukce jsou následující:
  - Pro I / O zařízení pomocí příkazů - spuštění, testy, pohybové příkazy.
  - Pokyny týkající se přístupu stavu programu
  - přerušení registrů, hodiny registrů a dalších pokynů.

# Plánování

**FCFS** = First Come First Served - prostá fronta  
**FIFO**

- Nový proces se zařadí na konec fronty
- Průměrné čekání může být velmi dlouhé

Pro krátkodobé plánování se FCFS prakticky nepoužívá.

- pouze jako složka složitějších plánovacích postupů

# Plánování

SPN = Shortest Process Next (nejkratší proces jako příští)

- též nazýváno SJF = Shortest Job First
- Vybírá se připravený proces s nejkratší příští dávkou CPU
- Krátké procesy předbíhají delší, nebezpečí stárnutí dlouhých
- Je-li kritériem kvality plánování průměrná doba čekání, je SJF optimální algoritmus, což se dá exaktně dokázat

# Patice

- Patice neboli Socket či Slot je konektor na základní desce určený pro připojení procesorů
- Většina dnešních patic jsou založeny na tzv. pin grid array (PGA)
  - krátké piny procesoru jsou uspořádány do čtvercového pole tak, aby souhlasily s otvory v patici)
- Od roku 2007 se zvyšuje popularita tzv. land grid array (LGA)
  - Zde se pracuje s dotykem kontaktních plošek.



# Patice

- V pozdních 90. letech se využívaly častěji sloty než sockety
  - Procesorové sloty jsou podobné klasickým rozšiřujícím kartám, tzn. podlouhlá deska s plošnými spoji
  - Tyto sloty ostatně připomínají vzhledem například AGP
  - umožňovalo doinstalování další L2 Cache na desku slotu a často bývala instalace slotu jednodušší než v případě socketu
  - Nicméně slot vyžaduje delší trasu od čipsetu k procesoru - S příchodem Socketu A a Socketu 370 byly sloty definitivně zapomenuty.

# Patice

## Rozdělení

- dle firmy - AMD, INTEL, atd.
- dle použití:
  - desktop
  - mobilní zařízení
  - servery